

CLIPPEDIMAGE= JP02001142051A
PAT-NO: JP02001142051A
DOCUMENT-IDENTIFIER: JP 2001142051 A
TITLE: LIQUID CRYSTAL DISPLAY DEVICE

PUBN-DATE: May 25, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
KISHIMOTO, KATSUHIKO	N/A
SAKAI, OSAMU	
YAMADA, NOBUAKI	N/A
	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SHARP CORP	N/A

APPL-NO: JP11324107
APPL-DATE: November 15, 1999

INT-CL (IPC): G02F001/1333; G02F001/133 ; G02F001/1337 ;
G09F009/35

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a plasma address liquid crystal display device wherein deterioration of display quality caused by a cross-talk phenomenon is suppressed and prevented.

SOLUTION: This liquid crystal display device has a high dielectric constant layer formed between plural electrodes, and between the plural electrodes and a liquid crystal layer. The high dielectric constant layer is formed of a material having a dielectric constant larger than an absolute value of an anisotropy (

COPYRIGHT: (C)2001,JPO

DERWENT-ACC-NO: 2001-142051
DERWENT-WEEK: 200115
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: III group nitride semiconductor device has buffer layer which consists of III group nitride semiconductor, formed on buffer layer consisting of III-V group semiconductor compounds

PATENT-ASSIGNEE: SHOWA DENKO KK[SHOW]

PRIORITY-DATA: 1999JP-0141520 (May 21, 1999)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES	MAIN-IPC	
JP 2000332294	November 30, 2000	N/A
008	H01L 033/00	
A		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP2000332294A	N/A	1999JP-0141520
May 21, 1999		

INT-CL_(IPC): H01L021/20; H01L021/205 ; H01L033/00

ABSTRACTED-PUB-NO: JP2000332294A

BASIC-ABSTRACT: NOVELTY - A buffer layer (102a) consisting of III-V group semiconductor compound containing one of boron, arsenic or phosphorus is formed on the surface of a silicon single crystal substrate (101). Another buffer layer (102b) consisting of III group nitride semiconductor is formed on the buffer layer (102a).

DETAILED DESCRIPTION - The buffer layer (102a) consists of boron phosphide nitride (BP(1-X)NX) where 0 at most X less than 1. The buffer layer (102b) consists of crystal layer in which hexagonal-crystal phase and cubic phase

include the area of crystal structure laminated alternately. The buffer layer (102b) consists of aluminum-gallium-nitride ($\text{Al}(1-Y)\text{GaYN}$) when 0 is less than Y at most 1.

USE - III group nitride semiconductor device e.g. semiconductor laser, field effect transistor (FET), light emitting diode (LED), etc.

ADVANTAGE - High intensity LED can be produced using laminate structure where III group nitride semiconductor crystal layer of good quality is formed stably on Si single-crystal substrate.

DESCRIPTION OF DRAWING(S) - The figure shows the cross-sectional view of internal crystal structure of buffer layers.

Silicon single crystal substrate 101

Buffer layers 102a,102b

CHOSEN-DRAWING: Dwg.3/3

TITLE-TERMS:

GROUP NITRIDE SEMICONDUCTOR DEVICE BUFFER LAYER CONSIST
GROUP NITRIDE
SEMICONDUCTOR FORMING BUFFER LAYER CONSIST GROUP
SEMICONDUCTOR COMPOUND

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L04-C12B; L04-E01A; L04-E03A; L04-E03B;

EPI-CODES: U11-C01J1; U11-C01J3A; U12-A01A1A; U12-A01B6;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2001-042527

Non-CPI Secondary Accession Numbers: N2001-103835

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-332294
(P2000-332294A)

(43)公開日 平成12年11月30日(2000.11.30)

(51)IntCl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 33/00		H 0 1 L 33/00	C 5 F 0 4 1
21/20		21/20	5 F 0 4 5
21/205		21/205	5 F 0 5 2

審査請求 未請求 請求項の数4 O L (全 8 頁)

(21)出願番号 特願平11-141520

(22)出願日 平成11年5月21日(1999.5.21)

(71)出願人 000002004

昭和電工株式会社

東京都港区芝大門1丁目13番9号

(72)発明者 宇田川 隆

埼玉県秩父市下影森1505番地 昭和電工株
式会社総合研究所秩父研究室内

(74)代理人 100094237

弁理士 矢口 平

最終頁に続く

(54)【発明の名称】 I I I 族窒化物半導体素子

(57)【要約】

【課題】連続性のある良質のI I I 族窒化物半導体結晶層をS i 単結晶基板上に安定して形成するために、緩衝層が備えるべき構造を明らかにする。

【解決手段】珪素(S i)単結晶からなる基板上に、緩衝層を介して、I I I 族窒化物半導体結晶からなる積層構造を形成する際に、緩衝層を、基板上に接して形成された砒素(A s)またはリン(P)の少なくとも一方と硼素(B)とを含むI I I-V族化合物半導体からなる第1の緩衝層と、第1の緩衝層上に形成されたI I I 族窒化物半導体からなる第2の緩衝層とから構成する。

【特許請求の範囲】

【請求項1】珪素（Si）単結晶からなる基板と、該基板上に形成された緩衝層と、該緩衝層上に形成されたIII族窒化物半導体結晶からなる積層構造とを具備するIII族窒化物半導体素子において、前記緩衝層が、前記基板上に接して形成された砒素（As）またはリン（P）の少なくとも一方と硼素（B）とを含むIII-V族化合物半導体からなる第1の緩衝層と、該第1の緩衝層上に形成されたIII族窒化物半導体からなる第2の緩衝層とを有することを特徴とするIII族窒化物半導体素子。

【請求項2】前記第2の緩衝層が、六方晶相と立方晶相とが交互に積層された結晶構造の領域を内包する結晶層からなることを特徴とする請求項1に記載のIII族窒化物半導体素子。

【請求項3】前記第1の緩衝層がリン化窒化硼素（BP_{1-x}N_x：0≤x<1）からなり、前記第2の緩衝層が窒化アルミニウム・ガリウム（Al_{1-y}Ga_yN：0<y≤1）からなることを特徴とする請求項1または2に記載のIII族窒化物半導体素子。

【請求項4】前記第1の緩衝層および第2の緩衝層が、200℃以上700℃以下の温度で、気相成長方法により形成されたものであることを特徴とする請求項1乃至3のうちの1項に記載のIII族窒化物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、珪素（Si）単結晶基板上にIII族窒化物半導体結晶からなる積層構造を形成して作製したIII族窒化物半導体素子であって、上記積層構造が基板上に好適な緩衝層を介して設けられたものであるIII族窒化物半導体素子に関する。

【0002】

【従来の技術】窒素（N）を構成元素とするIII族窒化物半導体結晶層は、青色～緑色のような短波長可視光用の発光デバイス或いは高周波電子デバイス等に用いられる発光層やチャネル（channel）層等の活性層を構成するために利用されている。

【0003】従来、上記のようなデバイスに用いられるIII族窒化物半導体結晶からなる積層構造は、もっぱら六方晶（hexagonal）系のサファイア（Al₂O₃単結晶）や炭化珪素（SiC）単結晶からなる基板上に形成されていた（Jpn. J. Appl. Phys., Vol. 34, Pt. 2, No. 10（1995）、L1332～L1335頁）。

【0004】しかし最近では、Si単結晶からなる基板上に形成したIII族窒化物半導体結晶からなる積層構造を用いて発光素子を構成する例がある（Appl. Phys. Lett., 72（4）（1998）、415～417頁）。これは、ダイヤモンド（diamond）構造型のSi単結晶を基板とすれば、（1）[01

1]結晶方向への劈開を利用して個別素子（チップ）に裁断できる、（2）半導体レーザー素子にあって、劈開により簡便に光共振面を形成できる等の素子形成上の利点があることに依る。加えて、導電性を有するSi単結晶から基板を構成すれば、素子のオーミック（Ohmic）電極が都合良く形成できるからである。

【0005】しかし、Si単結晶と例えばウルツ鉱（wurtzite）型の六方晶窒化ガリウム（GaN）との格子定数の差異（格子ミスマッチ度）は、約17%の大きさに達する。このため、Si単結晶基板上には、GaNの様なIII族窒化物半導体結晶からなる連続性のある平滑な層を直接積層するのは困難であった。

【0006】そこで、Si単結晶基板上に、リン化硼素（BP）からなる緩衝層を介して、III族窒化物半導体結晶層を成長する技術が開示されている（特開平2-275682号公報）。リン化硼素（BP）は、閃亜鉛鉱結晶型のIII-V族化合物半導体であり、BP層の形成に利用される温度は、従来850℃から1150℃であった（特開平2-288371号及び特開平2-288388号各公報参照）。

【0007】しかし、Si（格子定数（a）=5.431オングストローム）とBP（a=4.538オングストローム）との格子ミスマッチ度も約16.5%に達する。そのため、Si単結晶基板上に形成したBP層は、通常は表面を平坦とする連続性のある層ではなく、四角錐状のBPからなる成長島が散在した様な不連続層しか得られないのが通例であった（「日本結晶成長学会誌」、Vol. 24（No. 2）（1997）、150頁参照）。このため従来技術では、Si基板上に連続性のある平坦なBPからなる緩衝層を安定して形成することができず、その上に形成されるIII族窒化物半導体結晶層も連続性のある良質な層とならないのが現状であった。

【0008】

【発明が解決しようとする課題】Si単結晶を基板に用いてIII族窒化物半導体の積層構造を形成すると、前述の如く素子作製上の様々な利点がある。しかし、従来技術では、Si単結晶基板上に連続性を有するGaN等のIII族窒化物半導体結晶層を直接積層させるのは困難であった。

【0009】また、Si単結晶とIII族窒化物半導体結晶層との格子の不整合性を緩和する目的で、従来のようにBPからなる緩衝層を介してSi単結晶基板上にIII族窒化物半導体結晶層を形成したところで、そもそもSi単結晶結晶上に連続性を有するBP層が積層できないことにより、連続性の有る良質のIII族窒化物半導体結晶層を得ることはできなかった。これは、Si単結晶基板上に連続性のあるIII族窒化物半導体結晶層を積層するために必要な緩衝層の構造が、従来明らかではなかったためである。

【0010】本発明は、この従来技術の問題点に鑑み成されたもので、基板材料としてSi単結晶が有する特質を活用すべく、連続性のある良質のIII族窒化物半導体結晶層をSi単結晶基板上に安定して形成するために、緩衝層が備えるべき構造を提示するものである。本発明は、好適な緩衝層を介して連続性を有する良質なIII族窒化物半導体結晶層から成る積層構造をSi単結晶基板上に形成し、Si単結晶基板の有する素子作製上の様々な利点を利用して、特性に優れるIII族窒化物半導体素子を提供することを目的とする。

【0011】

【課題を解決するための手段】すなわち本発明は、珪素(Si)単結晶からなる基板と、該基板上に形成された緩衝層と、該緩衝層上に形成されたIII族窒化物半導体結晶からなる積層構造とを具備するIII族窒化物半導体素子において、前記緩衝層が、前記基板上に接して形成された砒素(As)またはリン(P)の少なくとも一方と硼素(B)とを含むIII-V族化合物半導体からなる第1の緩衝層と、該第1の緩衝層上に形成されたIII族窒化物半導体からなる第2の緩衝層とを有することを特徴とする。

【0012】さらに本発明は、上記の第2の緩衝層が、六方晶相と立方晶相とが交互に積層された結晶構造の領域を内包する結晶層からなることを特徴とする。

【0013】また本発明は、上記の第1の緩衝層がリン化窒化硼素($\text{BP}_{1-x}\text{N}_x$: $0 \leq x < 1$)からなり、第2の緩衝層が窒化アルミニウム・ガリウム($\text{Al}_{1-y}\text{Ga}_y\text{N}$: $0 < y \leq 1$)からなることが望ましい。

【0014】また本発明は、上記の第1の緩衝層および第2の緩衝層が、200℃以上700℃以下の温度で、気相成長方法により形成されたものであることを特徴とする。

【0015】

【発明の実施の形態】本発明の第1の緩衝層に用いられる砒素(As)またはリン(P)の少なくとも一方と硼素(B)とを含むIII-V族化合物半導体結晶としては、砒化硼素(BAs)やリン化硼素(BP)の2元化合物がある。また、これらの混晶である砒化リン化硼素($\text{BAs}_{1-A}\text{PA}$: $0 < A < 1$)を用いることもできる。更に、第V族構成元素として窒素(N)を含む砒化窒化硼素($\text{BAs}_{1-B}\text{NB}$: $0 \leq B \leq 1$)や窒化リン化硼素(BNcP_{1-c} : $0 \leq c \leq 1$)を用いることもできる。本発明では、上記のAsまたはPの少なくとも一方とBとを含有するIII-V族化合物半導体結晶層を、Si単結晶基板の表面に接合させる第1の緩衝層として配置する。

【0016】更に第1の緩衝層上には、第2の緩衝層としてIII族窒化物半導体結晶層を重ねさせる。この第2の緩衝層をなすIII族窒化物半導体結晶層は、一般式 $\text{Al}_D\text{Ga}_E\text{In}_{1-D-E}\text{N}$ ($0 \leq D \leq 1$, $0 \leq E \leq 1$,

$0 \leq D+E \leq 1$)で示すIII族窒化物半導体から構成できる。あるいは、As或いはP等の窒素以外の第V族元素を含む一般式 $\text{Al}_D\text{Ga}_E\text{In}_{1-D-E}\text{N}_{1-F}\text{M}_F$ ($0 \leq D \leq 1$, $0 \leq E \leq 1$, $0 \leq D+E \leq 1$, Mは窒素以外の第V族元素を表し、 $0 \leq F < 1$)で示すIII族窒化物半導体から構成することもできる。

【0017】例えば窒化ガリウム(GaN)からなる第2の緩衝層を、Si単結晶基板表面に直接堆積するのではなく、上記のIII-V族化合物半導体結晶層からなる第1の緩衝層を介して積層させると、Si単結晶基板との良好な密着性を有し、且つ連続性のある第2の緩衝層を形成できる。すなわち、第1の緩衝層であるIII-V族化合物半導体結晶層は、Si単結晶基板と第2の緩衝層であるIII族窒化物半導体結晶層との間の密着性を向上させると共に、第2の緩衝層の連続性を向上させる働きをする。これが、Si単結晶基板と接する第1の緩衝層の上にIII-V族化合物半導体結晶からなる第2の緩衝層を配置する最たる理由である。

【0018】緩衝層の連続性並びに密着性を確保することに加えて、緩衝層上に積層するIII族窒化物半導体結晶からなる積層構造が、Si単結晶基板との格子の不整合性により結晶性を低下させるのを回避するために、本発明の緩衝層の製造方法では、第1の緩衝層および第2の緩衝層を、III族窒化物半導体結晶からなる積層構造を形成する温度より低温で成長する。第1および第2の緩衝層は、有機金属化学気相堆積法(MOCVD法)、分子線エビタキシャル法(MBE法)、あるいはハロゲン(halogen)乃至ハイドライド(hydride)気相成長法(VPE法)等の方法により形成できる。本明細書では、上記の方法を総称して気相成長方法と呼ぶ。例えばMOCVD法を用いる場合、第1の緩衝層および第2の緩衝層の成長温度は、200℃以上700℃以下の範囲とするのが望ましい。成長温度が200℃未満の低温では、MOCVD法の原料の熱分解が進行し難いため、第1および第2の緩衝層の形成自体が起こり難い。また、第1の緩衝層および第2の緩衝層を700℃を越える高温で成長すると、第1および第2の緩衝層が該層の形成の段階で単結晶の層と成り易く、その上に形成する積層構造とSi単結晶基板との格子不整合を十分に緩和できる緩衝層とはならない。

【0019】常圧或いは減圧MOCVD法により本発明に係る第1および第2の緩衝層を成長させる場合、更に好ましく利用できる温度は280℃以上580℃以下の範囲である。これは、従来用いられていたBPからなる緩衝層の成長温度である850℃~1150℃に比較すれば、より低温である。上記の第1および第2の緩衝層の成長のための好適な温度範囲は、他の気相成長方法、例えば三塩化硼素(BCl_3)と三塩化リン(PCl_3)を原料とするハロゲンVPE法にも共通するものである。またMBE法に依る形成では、成長のための

好適な最低温度は、約320℃～350℃とVPE法の場合に比較して若干高温側に移行するが、最高温度はMOCVD法の場合と殆ど変わらない。すなわち本発明において、気相成長方法により第1の緩衝層および第2の緩衝層を成長する場合、その成長温度は、200℃以上700℃以下の範囲とするのが望ましい。

【0020】第1及び第2の緩衝層の層厚は、各々1nm以上必要である。第1の緩衝層または第2の緩衝層の厚さが1nm未満では、Si単結晶基板の表面に緩衝層により被覆されない部分が生じるおそれがある。逆に、第1の緩衝層または第2の緩衝層の厚さが約100nmを越えると、該緩衝層の表面状態は損なわれたものとなりやすい。従って、本発明の第1及び第2の緩衝層の層厚は、各々1nm以上100nm以下とすることが望ましい。

【0021】上記の好適な温度範囲で形成された緩衝層、特に第1の緩衝層に具備される特徴は、Si単結晶基板との接合近傍の領域が単結晶を主体として構成されていることである。図2は、この本発明に係わる緩衝層の特徴を説明するためのas-grown状態に於ける緩衝層の断面構造を示す模式図である。図2において、Si単結晶基板10の表面上には、III-V族化合物半導体から成る第1の緩衝層11が接合されている。第1の緩衝層11上には、III族窒化物半導体からなる第2の緩衝層12が重層されている。第1の緩衝層11と第2の緩衝層12により本発明の緩衝層13が構成されている。先に述べた好ましい範囲内の温度で成長した第1の緩衝層11の特徴は、Si単結晶基板10との接合界面10aの近傍の領域10bが単結晶層Sを主体として構成されている点である。単結晶から主体的に構成される領域10bの上方の領域10cは、非晶質Tを主体とし多結晶Vを含むものである。第1の緩衝層11上に成長された第2の緩衝層12は、第1の緩衝層11の上方領域10cに含まれる多結晶Vを核として発達した単結晶Sと多結晶Vを含む場合もあるが、ほとんどが非晶質Tを主体として構成される。このような緩衝層13の構成は、Si単結晶基板表面の面方位並びにミスオリエンテーションが異なっても実現されるものである。

【0022】上記の緩衝層上には、該緩衝層の成長温度よりも高温でIII族窒化物半導体結晶層を成長し、積層構造を形成する。積層構造を構成する各構成層は、MOCVD法に依る成長手段の場合、約800℃から約1000℃を越える温度で成長する。700℃以下の低温で形成した第2の緩衝層の表面上に積層構造の構成層を成長するためには、第2の緩衝層12の成長後、基板の温度を構成層の成長温度に昇温させる必要がある。その昇温過程に於いて、第2の緩衝層を主に構成する非晶質が結晶化し、立方晶(cubic)相と六方晶(hexagonal)相とが共存する結晶となる。更に、基板を昇温する雰囲気好適とすると、第2の緩衝層を六方

晶相と立方晶相とが交互に積層された結晶構造の領域を内包する結晶層からなるものとすることができる。

【0023】図3は、基板を昇温し積層構造の構成層を成長した後の緩衝層の内部結晶構造を示す断面模式図である。昇温に伴う非晶質の結晶化により、第2の緩衝層12の内部は、閃亜鉛鉱型の立方晶から成る結晶相14とウルツ鉱(wurtzite)型の六方晶から成る結晶相15とが共存する結晶構造となる。積層構造の構成層16の形成温度に依存して、第2の緩衝層12の内部の立方晶相14と六方晶相15の体積比率は変化する。形成温度が低温である程、立方晶相14が占有する体積比率は大となる傾向がある。立方晶相14と六方晶相15とが相互に隣接して共存する状態にある領域17aに比較して、立方晶相14と六方晶相15とが交互に積層した結晶構造からなる共存領域17bは、緩衝層上に形成される積層構造の構成層16の結晶性を向上させるのに特に有効に働く。これは、この様な異なる結晶系に属する結晶相が交互に積層した結晶構造では、立方晶の結晶軸で[011]方向に積層欠陥(stacking fault)が発生して、基板10と積層構造の構成層16との格子定数の相違による格子歪を都合良く緩和できるからである。なお、この様な結晶系の異なる結晶が共存する領域17a、17bは、第1の緩衝層11の内部の非晶質であった部分にも発生する。

【0024】本発明では、積層構造として結晶性に優れるIII族窒化物半導体結晶層を得るために、六方晶相と立方晶相とが交互に積層された結晶構造の領域を内包する結晶層を緩衝層として利用することが望ましい。立方晶の結晶相14と六方晶の結晶相15とが交互に積層した結晶構造からなる共存領域17bを第2の緩衝層内に効率良く発生させるには、緩衝層13の成長後に積層構造の構成層16の成長温度へ基板温度を昇温する際の雰囲気構成が重要となる。第2の緩衝層に立方晶相14と六方晶相15とが交互に積層した結晶構造からなる共存領域17bを都合の良く形成するには、上記の昇温時の雰囲気ガスを窒素を含み熱分解により窒素原子を放出する物質からなる構成するのが好ましい。上記の窒素を含む物質には、例えばアンモニア(NH₃)やヒドラジン(hydrazine)類がある。あるいはピリジン(pyridine)等の有機窒素化合物も利用できる。しかし、比較的低温で高い分解効率を有する非対称の分子構造をもつジメチルヒドラジン(dimethyl hydrazine)類が、雰囲気ガスを構成する物質として好適に使用できる。雰囲気ガスは、これらの窒素を含む物質の単体から構成するのが最も好ましい。また、上記の窒素を含む物質と窒素(N₂)やアルゴン(Ar)等との混合気体を雰囲気ガスとして用いた場合は、窒素を含む物質の体積比率を約70%を越えるものとする好結果がもたらされる。

【0025】本発明で第1の緩衝層を構成する砒素(A

s) またはリン(P)の少なくとも一方と硼素(B)とを含むIII-V族化合物半導体材料は、Si単結晶基板に堅牢に固着するため、基板上との密着性に優れる緩衝層が構成できる。一例として本発明の緩衝層は、リン化硼素(BP)からなる第1の緩衝層とGa_{1- γ} N _{γ} からなる第2の緩衝層とから構成できる。また、第1の緩衝層をBP_{0.97}N_{0.03}とし、第2の緩衝層をAl_{1- γ} Ga γ N_{0< γ ≤1}として構成できる。また、第1の緩衝層としてBAS_{0.77}N_{0.23}、第2の構成層12としてGa_{1- γ} N _{γ} を用いることができる。特に第1の緩衝層が、リン化窒化硼素(BP_{1- x} N _{x} ; 0≤ x <1)からなる場合、基板上との密着性に特に優れる緩衝層が得られる。

【0026】また、例えば窒素組成比が3%であるBP_{0.97}N_{0.03}や窒素組成比を23%とするBAS_{0.77}N_{0.23}は、立方晶のGa_{1- γ} N _{γ} に略一致する約4.51オングストロームの格子定数を有する結晶である。そのため、BP_{0.97}N_{0.03}やBAS_{0.77}N_{0.23}から第1の緩衝層を構成すると、その上に立方晶のGa_{1- γ} N _{γ} からなる第2の緩衝層を設けることにより、第1の緩衝層と第2の緩衝層とが格子整合した結晶性の良い緩衝層が構成できる。その結果、結晶性の良いIII族窒化物半導体結晶からなる積層構造の構成層を緩衝層上に形成することができる。このように、第1の緩衝層がリン化窒化硼素(BP_{1- x} N _{x} ; 0≤ x <1)からなり、第2の緩衝層が窒化アルミニウム・ガリウム(Al_{1- γ} Ga γ N_{0< γ ≤1})からなる緩衝層では、 x および γ の値を適当に選ぶことにより、第1の緩衝層と第2の緩衝層の格子定数の一致させ、結晶性の良い緩衝層を形成することができ、その上部にIII族窒化物半導体結晶からなる結晶性の良い積層構造の構成層を形成することができる。

【0027】この場合さらに、第2の緩衝層上に形成するIII族窒化物半導体結晶からなる積層構造の構成層を、第2の緩衝層と同じ組成の立方晶の結晶とすると、第2の緩衝層と積層構造の構成層とを格子整合させることができ、結晶性の良い積層構造を得ることができる。第2の緩衝層は、Al_{1- γ} Ga γ N_{0< γ ≤1}から構成するのが好ましい。インジウム(In)を含有するIII族窒化物半導体を用いると、低温での第2の緩衝層の形成に於いてインジウムの液滴が発生して、第2の緩衝層の表面モρφロジー(morphology)が悪化する場合がある。そのため第2の緩衝層は、インジウムを含むIII族窒化物半導体結晶層から構成することは好ましくない。

【0028】

【実施例】(実施例1)以下本発明の詳細を、III族窒化物半導体素子として発光ダイオード(LED)を作製する場合を例にして具体的に説明する。図1は、本実施例1に係わるLEDの構造を示す断面図である。LEDは、アンチモン(Sb)をドーピングした(001)面を有するn形のSi単結晶からなる基板101と、該基板

101上に成長した緩衝層102と、緩衝層102上に成長したIII族窒化物半導体結晶層からなる積層構造106とを備えたものである。

【0029】上記のSi単結晶基板101上に形成した層厚を約4nmとする緩衝層102は、第1の緩衝層102aと第2の緩衝層102bとから構成されている。Si単結晶基板101の表面に直接接する第1の緩衝層102aは、三塩化硼素(BCl₃)と三塩化リン(PCl₃)と水素(H₂)とを用いるハライド(halide)VPE法により、350℃で形成した。第1の緩衝層102aは、層厚を約3nmとするリン化硼素(BP)からなる。

【0030】第1の緩衝層102a上に形成した第2の緩衝層102bは、一般的な常圧MOCVD法により430℃で形成したアンドープの窒化ガリウム(GaN)層からなる。第2の緩衝層102bの層厚は約1nmであった。

【0031】上記のようにして形成した緩衝層102内部の断面の結晶構造を、as-grown状態で透過型電子顕微鏡(TEM)で観察した。その結果、第1の緩衝層102a内の基板101との接合界面近傍の領域には、単結晶層が配置されているのが認められた。単結晶層の厚さは約1nmであった。第1の緩衝層102a内の単結晶層の上部並びに第2の緩衝層102bの全んどは、非晶質から構成されていた。

【0032】第2の緩衝層102bの成長を終えた後、体積混合比率を1:4とする窒素と非対称型のジメチルヒドラジンとの混合気体のみをMOCVD反応炉内に流通して、基板を昇温するための雰囲気を作成した。次に、上記の基板の温度を430℃から積層構造の成長温度である1030℃まで、毎分約100℃の速度で上昇させた。

【0033】基板温度を昇温させた後の緩衝層102内部の断面の結晶構造を、TEMで観察した。その結果、昇温後の緩衝層102の内部の結晶構造では、第1の緩衝層102a及び第2の緩衝層102bに、立方晶相と六方晶相が共存する領域が発生していた。特に第2の緩衝層102bは、およそ全領域がこの共存領域で構成されるものとなった。さらに、格子像を撮像してより詳細に共存領域の構造を観察したところ、立方晶相と六方晶相とが周期的に交互に積層した領域が大部分であった。またその部分に、積層欠陥(積層不整)に起因するストリーク(streak)状の散漫散乱が認められた。立方晶相と六方晶相とが交互に周期的に積層した結晶構造内部でのこの積層欠陥の発生に依り、基板101と第1の緩衝層102aとの界面で発生した欠陥が上部へ波及するのが抑制されていることが認められた。

【0034】第2の緩衝層102bの表面上には、MOCVD法により1030℃で、ジシラン(Si₂H₆)を使用してSiをドーピングした六方晶のn形の窒化ガリ

ウム(GaN)層103を成長した。GaN層103のキャリア濃度は $1.1 \times 10^{18} \text{ cm}^{-3}$ であり、層厚は3 μm であった。GaN層103の成長温度を1000°Cを越える高温に設定したため、n形GaN層103は六方晶を主体とするものとなった。引き続きn形GaN層103の表面上には、インジウム組成比を0.10とするn形窒化ガリウム・インジウム混晶($\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$)層104を成長した。 $\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$ 層104のキャリア濃度は $4 \times 10^{17} \text{ cm}^{-3}$ であり、層厚は0.9 nmとした。 $\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$ 層104は、インジウム組成を相違する相(phase)からなる多相構造の結晶層であった。 $\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$ 層104上には、アルミニウム組成に勾配を付したマグネシウム(Mg)ドーパのp形窒化アルミニウム・ガリウム($\text{Al}_x\text{Ga}_{1-x}\text{N}$)層105を積層した。 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層105内のAl組成は、層厚の増加方向にAl組成xが0.20から0に単調に直線的に減少するよう設定した。 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層105の層厚は0.2 μm とした。上記のn形GaN層103、 $\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$ 層104、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層105を積層構造の構成層として、III族窒化物半導体結晶からなる積層構造106を構成した。このようにして形成したLED用のエピタキシャルウェハの発光部は、上記のn形GaN層103を下部クラッド層とし、n形 $\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$ 層104を発光層とし、上記のようにAl組成に勾配を付した六方晶の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層105を上部クラッド層として構成されている。

【0035】積層構造106の各構成層103、104、105は、本発明に係わる緩衝層102上に形成されているため、何れも連続性を有する結晶性に優れた結晶層となった。

【0036】LEDは、上記のSi単結晶基板101の裏面にn形オーミック電極108を、上部クラッド層の $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層105の表面にp形オーミック電極107を各々形成し、その後Si単結晶基板の劈開を利用して素子に分離して作製した。p形およびn形のオーミック電極107、108は共にAlから構成した。

【0037】上記の電極107、108間に順方向に20ミリアンペア(mA)の動作電流を流通して、LEDを発光させた。LEDからは、発光中心波長を約455 nmとし、半値幅を約12 nmとするスペクトルを有する青色の光が出射された。一般的な積分球を利用して測定されたLEDの発光強度は約20マイクロワット(μW)となった。

【0038】(実施例2)本実施例2では、緩衝層が実施例1に記載したものとは異なる構造を有するLEDを作製する場合を例にして、本発明の内容を説明する。

【0039】本実施例2では、図1に示す構造と同様の構造を有するLEDを作製した。Si単結晶基板101は、実施例1と同じものを用いた。本実施例2では、S

i単結晶基板101上に、ジボラン(B_2H_6)／ホスフィン(PH_3)／水素(H_2)を用いた減圧MOCVD法で、460°Cで $\text{BP}_{0.97}\text{N}_{0.03}$ からなる第1の緩衝層102aを形成した。また第1の緩衝層102a上には、MOCVD法で同様にして、第2の緩衝層102bとしてAl組成を0.10とするSiドーパの $\text{Al}_{0.10}\text{Ga}_{0.90}\text{N}$ からなる層を形成した。このようにして、第1の緩衝層102aの層厚を約1.5 nmとし、第2の緩衝層の層厚を約1.7 nmとする合計の層厚が約3.2 nmの緩衝層102を形成した。as-grown状態での緩衝層102の内部の結晶構造は、実施例1に記載の緩衝層の結晶構造と類似のものとなった。

【0040】緩衝層102の成長を終了した後、非対称ジメチルヒドラジンとアルゴンの割合を9:1とする混合気体の雰囲気中で、昇温速度を60°C/分に設定して、基板の温度を850°Cに昇温した。この昇温により、第1及び第2の緩衝層を、立方晶相と六方晶相とが共存する結晶からなるものにした。

【0041】その後、緩衝層102上には、850°Cで非対称ジメチルヒドラジンと三塩化ガリウム(GaCl_3)をそれぞれ窒素原料及びGa原料とするVPE法により、実施例1と同様のn形GaN層103、 $\text{Ga}_{0.90}\text{In}_{0.10}\text{N}$ 層104、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 層105を順次積層し、積層構造106を形成した。

【0042】第1の緩衝層102aを立方晶のGaNの格子定数に略一致する $\text{BP}_{0.97}\text{N}_{0.03}$ (格子定数=4.51オングストローム)から構成したことと、実施例1より低温の850°CでIII族窒化物半導体結晶からなる積層構造106を積層したことにより、上記の積層構造106の構成層103、104、105は、立方晶を主体としていることが反射電子線回折(RHEED)法により確認された。

【0043】上記のようにして作製したエピタキシャルウェハに、実施例1に準じてp形及びn形オーミック電極107、108を設け、素子に分離してLEDを作製した。このLEDに、順方向に20 mAの電流を流通した際には、中心波長を470 nmとする青色の発光が得られた。本実施例2のLEDは、実施例1のLEDと比較して発光波長が約15 nm長波長となった。発光スペクトルの半値幅は約10 nmと実施例1のLEDに比較し狭くなった。また、一般的な積分球を使用して測定されるLEDの発光強度は約18 μW であった。

【0044】

【発明の効果】上記の説明のように、本発明は、連続性のある良質のIII族窒化物半導体結晶層をSi単結晶基板上に安定して形成するために、緩衝層が備えるべき構造を明らかにした。その結果、連続性を有する良質なIII族窒化物半導体結晶層から成る積層構造をSi単結晶基板上に形成することができ、Si単結晶基板の有する素子作製上の様々な利点を利用して、特性に優れる

11

III族窒化物半導体素子を提供することができた。なお上記の実施例では、Si単結晶基板上に形成したIII族窒化物半導体結晶層からなる積層構造を用いて高輝度のLEDを作製した例を示したが、本発明は半導体レーザやFETのような他のIII族窒化物半導体素子の作製にも用いることができる。

【図面の簡単な説明】

【図1】本実施例1、2に係わるLEDの構造を示す断面図。

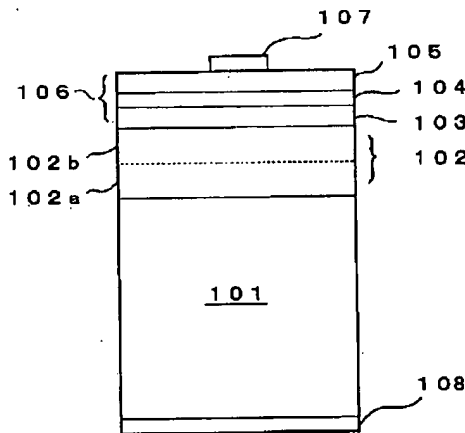
【図2】本発明に係る緩衝層のas-grown状態に於ける断面構造を示す模式図。

【図3】基板を昇温した後の緩衝層の内部結晶構造を示す断面模式図。

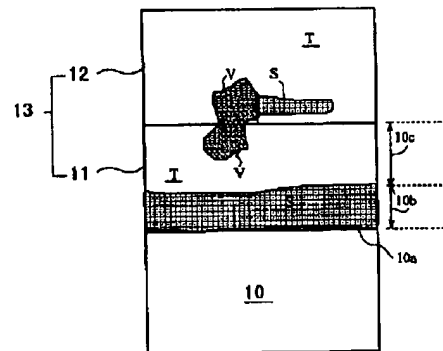
【符号の説明】

- 101 Si単結晶基板
- 102 緩衝層
- 102a 第1の緩衝層
- 102b 第2の緩衝層
- 103 n形GaN層
- 104 Ga_{0.90}In_{0.10}N層
- 105 Al_xGa_{1-x}N層
- 106 積層構造
- 107 p形オーミック電極
- 108 n形オーミック電極
- 10 Si単結晶基板
- 10a 基板と第1の緩衝層との接合界面
- 10b 接合界面近傍の領域
- 10c 接合界面近傍より上方の領域
- 11 第1の緩衝層
- 12 第2の緩衝層
- 13 緩衝層
- 14 立方晶相
- 15 六方晶相
- 16 積層構造の構成層
- 17a 立方晶相と六方晶相とが隣接して共存している領域
- 17b 立方晶相と六方晶相とが交互に積層して共存している領域
- S 単結晶
- T 非晶質
- 20 V 多結晶

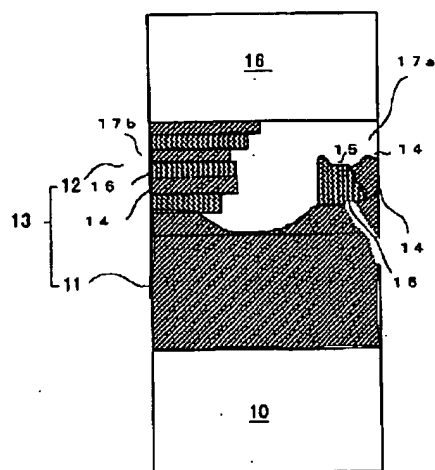
【図1】



【図2】



【図3】



フロントページの続き

Fターム(参考) 5F041 AA40 CA23 CA33 CA34 CA40
 CA57 CA64 CA65
 5F045 AA04 AB09 AB14 AB17 AB18
 AC01 AC03 AC12 AD06 AD07
 AD08 AD09 AD10 AD11 AD12
 AD13 AD14 AF03 BB12 CA10
 CB02 DA53 DA61
 5F052 KA02